

#2

Docket No. 1614.1109/HJS

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:

Shogo FUJIMORI et al.

Group Art Unit:

Serial No.:

Examiner:

Filed: December 29, 2000

For: NOISE COUNTERMEASURE DETERMINATION METHOD....



**SUBMISSION OF CERTIFIED COPY OF PRIOR
FOREIGN APPLICATION IN ACCORDANCE WITH
THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s)
herewith a certified copy of the following foreign application(s):


Japanese Patent Application No. 2000-138681
Filed: May 11, 2000
Japanese Patent Application No. 2000-159100
Filed: May 29, 2000

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing
date, as evidenced by the certified papers attached hereto, in accordance with the requirements
of 35 U.S.C. § 119.

Respectfully submitted,
STAAS & HALSEY LLP

Date: December 29, 2000

By: _____


H. J. Staas
Registration No. 22,010

700 Eleventh Street, N.W., Suite 500
Washington, D.C. 20001
Telephone: (202) 434-1500
Facsimile: (202) 434-1501

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

1c844 U.S. PTO
1505L/60
12/29/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
in this Office.

出 願 年 月 日
Date of Application:

2000年 5月11日

願 番 号
Application Number:

特願2000-138681

願 人
Applicant(s):

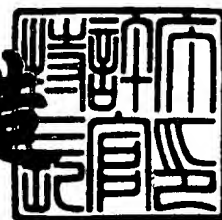
富士通株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年10月20日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2000-3086327

【書類名】 特許願

【整理番号】 0050134

【提出日】 平成12年 5月11日

【あて先】 特許庁長官 近藤 隆彦 殿

【国際特許分類】 G06F 17/50

【発明の名称】 ノイズ対策決定方法及び装置並びに記憶媒体

【請求項の数】 5

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 藤森 省吾

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 山下 裕寛

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 山田 亮二

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 登坂 正喜

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 徳田 和彦

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通

株式会社内

【氏名】 米田 二郎

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100070150

【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデン
プレイスタワー32階

【弁理士】

【氏名又は名称】 伊東 忠彦

【電話番号】 03-5424-2511

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704678

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 ノイズ対策決定方法及び装置並びに記憶媒体

【特許請求の範囲】

【請求項 1】 対象となる回路のうち、少なくとも 1 つのネット分の入力回路情報に基いて、計算式によりノイズが最小となると考えられる推奨回路情報を算出する推奨回路情報算出ステップと、

該入力回路情報と該推奨回路情報との比較し、異なる部分の推奨回路情報をノイズ対策として決定するノイズ対策決定ステップとを含むことを特徴とする、ノイズ対策決定方法。

【請求項 2】 前記ノイズ対策の決定後に、前記入力回路情報のシミュレーションモデルを作成する回路モデル作成ステップと、

該シミュレーションモデルを用いて回路シミュレーションを行い、前記回路の配線を伝播する信号波形を算出して信号波形に許容範囲を超えるノイズが存在するか否かをチェックするシミュレーション・チェックステップと、

ノイズチェックの結果存在するノイズを分類して、決定されたノイズ対策をノイズに関係する部分のみに絞り込むノイズ対策絞り込みステップとを更に含むことを特徴とする、請求項 1 記載のノイズ対策決定方法。

【請求項 3】 前記回路を構成する部品ピンの位置と配線トポロジとに基いて決定されるマンハッタン長を配線長として含む入力回路情報を出力する回路情報出力ステップを更に含むことを特徴とする、請求項 1 記載のノイズ対策決定方法。

【請求項 4】 対象となる回路のうち、少なくとも 1 つのネット分の入力回路情報に基いて、計算式によりノイズが最小となると考えられる推奨回路情報を算出する推奨回路情報算出手段と、

該入力回路情報と該推奨回路情報との比較し、異なる部分の推奨回路情報をノイズ対策として決定するノイズ対策決定手段とを備えたことを特徴とする、ノイズ対策決定装置。

【請求項 5】 コンピュータにノイズ対策を決定させるプログラムを格納したコンピュータ読み取り可能な記憶媒体であって、

コンピュータに、対象となる回路のうち、少なくとも1つのネット分の入力回路情報に基いて、計算式によりノイズが最小となると考えられる推奨回路情報を算出させる推奨回路情報算出手順と、

コンピュータに、該入力回路情報と該推奨回路情報との比較し、異なる部分の推奨回路情報をノイズ対策として決定させるノイズ対策決定手順とを行わせることを特徴とする、記憶媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ノイズ対策決定方法及び装置並びに記憶媒体に関し、特に大規模集積回路（LSI）、マルチチップモジュール（MCM）、プリント基板（PCB）等の電子回路を設計する際に、電子回路で発生し得るノイズを最小限に抑えて電子回路の正常な動作を保証するためのノイズ対策を決定するノイズ対策決定方法及び装置、並びにコンピュータにそのようなノイズ対策の決定を行わせるプログラムを格納したコンピュータ読み取り可能な記憶媒体に関する。

【0002】

近年、各種電子回路の小型化や高速化に伴い、電子回路を設計する際のノイズ解析とノイズ対策が重要になってきている。ノイズ対策とは、ノイズ解析の結果に基いて、電子回路で発生するノイズを抑えるために取られる各種対策を言う。

【従来の技術】

従来、電子回路を設計する際にノイズ解析を行うノイズ解析ツールとしては、様々なものが提案されている。ノイズ解析ツールは、電子回路の実装設計後に回路シミュレータを用いてノイズ解析及びノイズチェックを行い、ノイズを抑えるためのノイズ対策を決定する。電子回路の設計は、決定されたノイズ対策に基いて必要に応じて変更される。このような設計変更の後、再度ノイズ解析及びノイズチェックを行い、ノイズが許容範囲内に収まるまで上記の如き手順を繰り返す。

【0003】

電子回路を設計する際に考慮すべき主なノイズは、反射ノイズとクロストー

クノイズである。通常、反射ノイズは、ドライバの内部抵抗と伝送線路の特性インピーダンスの不整合により発生する。この反射ノイズを抑えるために、特に1対1伝送の場合には、ドライバの出力に直列にダンピング抵抗を挿入する方法が提案されている。この方法によると、ドライバの内部抵抗値とダンピング抵抗値との合計が伝送線路の特性インピーダンスと等しくなるように、ダンピング抵抗値を選択する。

【0004】

1対1伝送以外の、例えば1対N伝送における反射ノイズは、配線トポロジにも大きく依存する。このため、配線トポロジの選択は手作業で行われ、設計者が選択された配線トポロジに合わせた配線を行う。従って、回路シミュレータは、配線情報に基づいてノイズ解析とノイズチェックを行う。ノイズ解析の結果、許容範囲を超えるノイズが存在する場合、配線トポロジの変更、配線トポロジに合わせた再配線、ノイズ解析及びノイズチェックといった作業を繰り返し、最適な配線トポロジを探し出す。

【0005】

他方、クロストークノイズは、ドライバの駆動能力と隣接するパターンのギャップに大きく依存する。通常、クロストークノイズの解析は、隣接するパターンの情報を必要とするため、電子回路の実装設計後に実装設計データを用いてノイズ解析とノイズチェックを行う。ここで、隣接するパターンの情報には、パターンギャップ、パターン同士が平行に走る距離、伝送線路上でパターンが平行になっている位置等を含む。

【0006】

しかし、近年の電子回路の更なる小型化及び高速化に伴い、ノイズ解析及びノイズチェックを必要とするネットが増加し、設計工数が増大している。ネットとは、電子回路を設計する際に、着目する少なくとも1つの回路素子からなる部分を言う。このため、回路設計、実装設計及びノイズ解析を手作業で繰り返す後戻り処理を要さないノイズ対策が必要となる。つまり、回路設計及び実装設計前に、少なくとも1ネット分の回路モデルを作成して、回路モデルを入力とするノイズ対策を決定する必要がある。

【 0 0 0 7 】

【発明が解決しようとする課題】

回路設計及び実装設計前に、少なくとも1ネット分の回路モデルを作成してノイズ解析及びノイズ対策を行う場合でも、常に回路シミュレータによりノイズ対策を決定するのでは、回路シミュレータの処理時間が他の処理と比べると長いので、全体の処理時間が増大してしまう。このように、回路シミュレータの処理時間が長くなる問題は、特に設計、解析、対策（設計変更）、解析といった作業サイクルを繰り返す場合に顕著となる。このため、回路シミュレータの実行を最小限に抑えてノイズ対策を決定することが望まれていた。

【 0 0 0 8 】

回路シミュレータの実行を最小限に抑えるには、上記反射ノイズ対策においても、回路シミュレータの結果を使用せずに、ダンピング抵抗値を選択する必要がある。しかし、配線の特性インピーダンスとドライバ素子の出力抵抗に整合するダンピング抵抗値を推奨回路情報とする場合、実際の伝送波形では問題が発生しなくても、入力回路情報に既に挿入されているダンピング抵抗値と一致しないために、ノイズ対策としてダンピング抵抗値の変更が必要であるという、過剰な制限を課する決定がなされる可能性があるという問題があった。

【 0 0 0 9 】

又、配線トポロジの決定では、配線トポロジの選択と、配線変更と、ノイズ解析とを繰り返す必要があるが、配線トポロジの選択と配線変更とを設計者が行うのでは、作業に時間がかかりすぎるという問題があった。このため、配線トポロジの選択と、配線変更と、ノイズ解析とを短時間で繰り返して、最適な配線トポロジを選択してノイズ対策を決定することが望まれていた。

【 0 0 1 0 】

更に、上記クロストークノイズの解析方法では、実装設計後の設計データを用いてノイズ解析及びノイズチェックを行う。従って、ノイズチェックの結果クロストークノイズの問題が発見されると、実装設計を変更する必要があり、設計工程に手作業で繰り返す後戻り処理が必要な部分が発生し、設計工程数が増大してしまうという問題があった。このため、手作業により繰り返す後戻り処理が必要

な部分をなくして設計工程を短縮することが望まれていた。

【 0 0 1 1 】

そこで、本発明は、上記の問題点を除去して上記の要望を満たすことのできるノイズ対策決定方法及び装置並びに記憶媒体を提供することを目的とする。

【 0 0 1 2 】

具体的には、回路設計及び実装設計を行う前にノイズ対策の決定を行うことができ、ノイズ対策を決定する際に回路シミュレータの実行を最小限に抑えることが可能で、設計工程に手作業で繰り返す後戻り処理が必要な部分を発生することなく高速にノイズ対策を決定することのできるノイズ対策決定方法及び装置並びに記憶媒体を提供することを第1の目的とする。

【 0 0 1 3 】

又、本発明は、回路シミュレータの実行を必要とせず、且つ、過剰な制限を課することなく、ダンピング抵抗値の決定を可能とするノイズ対策決定方法及び装置並びに記憶媒体を提供することを第2の目的とする。

【 0 0 1 4 】

本発明は、回路設計及び実装設計を行う前に、実際の基板上での相対的な位置関係から最適な配線トポロジの決定を可能とするノイズ対策決定方法及び装置並びに記憶媒体を提供することを第3の目的とする。

【 0 0 1 5 】

更に、本発明は、回路設計及び実装設計を行う前に、クロストークノイズの解析して、クロストークノイズを考慮したノイズ対策の決定を可能とするノイズ対策決定方法及び装置並びに記憶媒体を提供することを目的とする。

【 0 0 1 6 】

【課題を解決するための手段】

上記課題は、対象となる回路のうち、少なくとも1つのネット分の入力回路情報に基いて、計算式によりノイズが最小となると考えられる推奨回路情報を算出する推奨回路情報算出ステップと、該入力回路情報と該推奨回路情報との比較し、異なる部分の推奨回路情報をノイズ対策として決定するノイズ対策決定ステップとを含むことを特徴とするノイズ対策決定方法によって達成できる。本発明に

よれば、上記第 1 の目的を達成できる。

【 0 0 1 7 】

ノイズ対策決定方法は、前記ノイズ対策の決定後に、前記入力回路情報のシミュレーションモデルを作成する回路モデル作成ステップと、該シミュレーションモデルを用いて回路シミュレーションを行い、前記回路の配線を伝播する信号波形を算出して信号波形に許容範囲を超えるノイズが存在するか否かをチェックするシミュレーション・チェックステップと、ノイズチェックの結果存在するノイズを分類して、決定されたノイズ対策をノイズに関係する部分のみに絞り込むノイズ対策絞り込みステップとを更に含んでも良い。本発明によれば、上記第 2 の目的を達成できる。

【 0 0 1 8 】

ノイズ対策決定方法は、前記回路を構成する部品ピンの位置と配線トポロジとに基いて決定されるマンハッタン長を配線長として含む入力回路情報を出力する回路情報出力ステップを更に含んでも良い。本発明によれば、上記第 3 の目的を達成できる。

【 0 0 1 9 】

ノイズ対策決定方法は、前記ノイズ対策の決定後に、解析対象となる着目ネットの回路情報と着目ネットに隣接する隣接ネットの回路情報とからなる入力回路情報のシミュレーションモデルを作成する回路モデル作成ステップと、該シミュレーションモデルを用いて回路シミュレーションを行い、該着目ネットを伝播する信号波形とクロストークノイズ波形を算出して合成することでノイズ合成波形を求め、該ノイズ合成波形に基いて許容範囲を超えるノイズが存在するか否かをチェックするシミュレーション・チェックステップと、ノイズチェックの結果存在するノイズを分類して、決定されたノイズ対策をノイズに関係する部分のみに絞り込むノイズ対策絞り込みステップとを更に含んでも良い。本発明によれば、上記第 4 の目的を達成できる。

【 0 0 2 0 】

従って、本発明によれば、回路設計及び実装設計を行う前にノイズ対策の決定を行うことができ、ノイズ対策を決定する際に回路シミュレータの実行を最小限

に抑えることが可能で、設計工程に手作業で繰り返す後戻り処理が必要な部分を発生することなく高速にノイズ対策を決定することのできるノイズ対策決定方法及び装置並びに記憶媒体を実現できる。

【 0 0 2 1 】

【発明の実施の形態】

本発明になるの各実施例を、以下に図面と共に説明する。

【 0 0 2 2 】

【実施例】

先ず、本発明になるノイズ対策決定装置の第 1 実施例を説明する。ノイズ対策決定装置の第 1 実施例は、本発明になるノイズ対策決定方法の第 1 実施例及び本発明になるコンピュータ読み取り可能な記憶媒体の第 1 実施例を用いる。第 1 実施例では、本発明がコンピュータシステムに適用されている。図 1 は、第 1 実施例において本発明が適用されるコンピュータシステムを示す斜視図であり、説明の便宜上、同図に示すコンピュータシステムが以下の各実施例で用いられるものとする。

【 0 0 2 3 】

図 1 に示すコンピュータシステム 1 0 0 は、大略 CPU やディスクドライブ等を内蔵した本体部 1 0 1、本体部 1 0 1 からの指示により表示画面 1 0 2 a 上に画像を表示するディスプレイ 1 0 2、コンピュータシステム 1 0 0 に種々の情報を入力するためのキーボード 1 0 3、ディスプレイの表示画面 1 0 2 a 上の任意の位置を指定するマウス 1 0 4 及び外部のデータベース等にアクセスして他のコンピュータシステムに記憶されているプログラム等をダウンロードするモデム 1 0 5 を有する。

【 0 0 2 4 】

ディスク 1 1 0 等の可搬型記録媒体に格納されるか、モデム 1 0 5 等の通信装置を使って他のコンピュータシステムの記録媒体 1 0 6 からダウンロードされる、コンピュータシステム 1 0 0 にノイズ対策決定機能を持たせるプログラム（ノイズ対策決定ソフトウェア）は、コンピュータシステム 1 0 0 に入力されてコンパイルされる。本発明になる記憶媒体は、プログラムを格納した、例えばディス

ク 1 1 0 等の記録媒体からなる。本発明になる記憶媒体を構成する記録媒体は、ディスク 1 1 0、I C カードメモリ、フロッピーディスク、光磁気ディスク、C D - R O M 等の可搬型記録媒体に限定されるものではなく、モデム 1 0 5 や L A N 等の通信装置や通信手段を介して接続されるコンピュータシステムでアクセス可能な各種記録媒体を含む。

【 0 0 2 5 】

図 2 は、コンピュータシステム 1 0 0 の本体部 1 0 1 内の要部の構成を説明するブロック図である。同図中、本体部 1 0 1 は、大略バス 2 0 0 により接続された C P U 2 0 1、R A M や R O M 等からなるメモリ部 2 0 2、ディスク 1 1 0 用のディスクドライブ 2 0 3 及びハードディスクドライブ 2 0 4 からなる。本実施例では、ディスプレイ 1 0 2、キーボード 1 0 3 及びマウス 1 0 4 も、図示の如くバス 2 0 0 を介して C P U 2 0 1 に接続されているが、これらは直接 C P U 2 0 1 に接続されていても良い。又、ディスプレイ 1 0 2 は、入出力画像データの処理を行う周知のグラフィックインタフェース（図示せず）を介して C P U 2 0 1 に接続されていても良い。

【 0 0 2 6 】

尚、コンピュータシステム 1 0 0 の構成は図 1 及び図 2 に示す構成に限定されるものではなく、代わりに各種周知の構成を使用しても良い。

【 0 0 2 7 】

図 3 は、第 1 実施例における C P U 2 0 1 のノイズ対策決定処理を説明するためのフローチャートである。本実施例では、対象となる電子回路の回路設計及び実装設計を行う前に、回路シミュレータを用いずにノイズ対策を決定する。同図中、ノイズ対策決定処理が開始されると、ステップ 1 は対象となる電子回路の少なくとも 1 ネット分の入力回路情報をキーボード 1 0 3 又は外部装置から入力し、ステップ 2 は、入力回路情報を、例えばメモリ部 2 0 2 等の記憶手段に格納する。ステップ 3 は、メモリ部 2 0 2 から読み出された入力回路情報に基づいて、計算式によりノイズが最小になると考えられる推奨回路情報を算出する。推奨回路情報は、ダンピング抵抗値、ドライバ・抵抗間の配線長、抵抗・レシーバ間の配線長、配線分岐点の位置、抵抗・分岐点間の配線長、分岐点・レシーバ間の配線

長、ドライバ駆動能力、負荷数（レシーバ数）等からなる。ステップ4は、算出された推奨回路情報を、例えばメモリ部202等の記憶手段に格納する。ステップ5は、メモリ部202から読み出された入力回路情報と推奨回路情報とを比較し、異なる部分の推奨回路情報をノイズ対策として決定する。ステップ6は、決定されたノイズ対策を、例えばディスプレイ102に表示することで出力する。

図4は、本発明になるノイズ対策決定方法及び装置及び記憶媒体の第2実施例が適用されるコンピュータシステム100におけるCPU201のノイズ対策決定処理を説明するためのフローチャートである。同図中、図3と同一ステップには同一符号を付し、その説明は省略する。本実施例では、上記第1実施例で決定されたノイズ対策を、回路シミュレータの解析結果を用いて更に絞り込み、より限定されたノイズ対策を決定する。

【0028】

図4において、ステップ7は、ステップ5で求められたノイズ対策に基づいて回路モデル、即ち、シミュレーションモデルを作成する。ステップ8は、作成された回路モデルを、回路シミュレータを用いて解析する。ステップ9は、回路シミュレータの解析結果に基づいて、問題となるノイズ、即ち、許容範囲を超えるノイズが発生するか否かをチェックする。ノイズチェックは、回路シミュレータにより出力される、例えば電子回路の配線を伝播する信号波形に存在するノイズを検出することで行う。ステップ10は、ノイズチェックの結果を分類し、ステップ6により出力されたノイズ対策を、分類されたノイズチェックの結果に関する部分のみに絞り込む。ステップ11は、絞り込まれたノイズ対策を、例えばディスプレイ102に表示することで出力する。

【0029】

このように、上記第1及び第2実施例によれば、少なくとも1ネット分の回路情報を入力することで、対象となる電子回路の回路設計及び実装設計を行う前にノイズ対策を決定することができる。又、計算式に基いた推奨回路情報を求めることで、第2実施例のように、回路シミュレータの実行を最小限に抑えてノイズ対策を決定することができる。

【0030】

上記第 2 実施例において、ステップ 1 で入力される入力回路情報は、図 5 に示す如き 1 ネット分の情報である。図 5 に示す入力回路情報は、抵抗値が $R_0 = 20 \Omega$ のドライバ、配線長 $L = 20 \text{ mm}$ でインピーダンス $Z_0 = 60 \Omega$ の配線、抵抗値 $R_s = 10 \Omega$ の抵抗、配線長 $L = 20 \text{ mm}$ でインピーダンス $Z_0 = 60 \Omega$ の配線及びレシーバからなる。この場合、図 5 に示す入力回路情報の他に、ネットのクロック周波数、ピン間の遅延、パターン上の信号伝播速度、層構成、パターン幅等を入力しても良い。

【 0 0 3 1 】

ステップ 3 は、入力回路情報に基いて、計算式によりノイズが最小になると考えられる推奨回路情報を求める。ここでは、説明の便宜上、図 5 に示す入力回路情報に基いて求めた推奨回路情報が、ダンピング抵抗値からなる場合を説明する。図 5 に示す入力回路情報について、例えば入力波形の 1 回目の立ち上がり電圧が、回路の正常動作を保証する最大電圧 V_{IH-2} と一致するダンピング抵抗値が 12Ω 、入力波形の 1 回目の立ち上がり電圧が、回路の正常動作を保証する最小電圧 V_{IH-1} と一致するダンピング抵抗値が 67Ω であるとステップ 8 で算出されると、推奨回路情報のダンピング抵抗値は、 $12 \sim 67 \Omega$ となる。

【 0 0 3 2 】

図 6 は、1 回目の立ち上がり電圧と、回路の最大電圧 V_{IH-2} 、最小電圧 V_{IH-1} との関係を示す図である。同図中、縦軸は電圧、横軸は時間を示す。この場合、ステップ 5 は、1 回目の立ち上がり電圧が、図 6 中、点線で示す最大電圧 V_{IH-2} 以下で最小電圧 V_{IH-1} 以上の範囲に収まるようなダンピング抵抗値を、ノイズ対策として求める。つまり、ステップ 5 は、入力回路情報のダンピング抵抗値が 10Ω であり、推奨回路情報のダンピング抵抗値が $12 \sim 67 \Omega$ であるため、これらを比較することで、入力回路情報のダンピング抵抗値を推奨回路情報のダンピング抵抗値である $12 \sim 67 \Omega$ に変更することを、ノイズ対策として決定する。

【 0 0 3 3 】

又、図 5 に示す入力回路情報において、ダンピング抵抗値の算出に、リングバック時の電圧を考慮しても良い。リングバック時の電圧が、最小電圧 V_{IH-1}

と一致するダンピング抵抗値が $14\ \Omega$ と算出されたとする。この場合、入力波形の 1 回目の立ち上がり電圧が最大定格電圧と一致するダンピング抵抗値は $12\ \Omega$ と比較し、大きい方の $14\ \Omega$ がダンピング抵抗値の最小値として採用されるため、推奨回路情報のダンピング抵抗値は $14 \sim 67\ \Omega$ となる。図 7 は、リングバック時の電圧と最小電圧 V_{IH-1} との関係を示す図である。同図中、縦軸は電圧、横軸は時間を示す。従って、この場合には、1 回目の立ち上がり電圧に加え、リングバック時の電圧が図 7 中点線で示す最小電圧 V_{IH-1} 以上の範囲に収まるようなダンピング抵抗値を、ノイズ対策として決定する。

【 0 0 3 4 】

図 8 は、本発明になるノイズ対策決定方法及び装置及び記憶媒体の第 3 実施例が適用されるコンピュータシステム 100 における CPU 201 のノイズ対策決定処理を説明するためのフローチャートである。同図中、図 4 と同一ステップには同一符号を付し、その説明は省略する。本実施例では、入力回路情報を入力する際に、配線の引き回しと配線長の入力を省略するために、回路を構成する入出力 (I/O) バッファ等の部品ピンの位置を入力し、部品ピンの位置と配線トポロジとから求まるマンハッタン長を配線長として使用する。

【 0 0 3 5 】

図 8 において、ステップ 1 は、配線の引き回しと配線長の入力を省略するために、回路を構成する部品ピンの位置、即ち、配置位置を入力回路情報として入力する。従って、ステップ 13 は、配置位置を入力回路情報としてメモリ部 202 等の記憶手段に格納する。ステップ 15 は、入力回路情報としてメモリ部 202 から読み出された配置位置と、指定された配線トポロジとに基いて、マンハッタン長又は仮配線長を配線長として算出する。ステップ 16 は、算出された配線長は、回路情報としてメモリ部 202 等の記憶手段に格納される。従って、本実施例では、ステップ 3 は、配線長、即ち、マンハッタン長に基いて推奨回路情報を算出する。

【 0 0 3 6 】

次に、本実施例において、I/O バッファの配置位置と配線トポロジとから求まるマンハッタン長を配線長として使用する場合について説明する。図 9 は、配

線の引き回しを行わずに I/Oバッファの配置位置を入力する場合を示す図である。同図中、括弧内に示された座標は、各 I/Oバッファの配置位置を表している。この場合、出力バッファ（ドライバ）が座標（15, 90）に配置され、入力バッファ（レシーバ）が座標（120, 50）と座標（95, 175）に配置されている。ここで、配線トポロジとして「スター型」が指定されていると、ステップ15は、先ず配線トポロジに合うように分岐点の位置を座標（20, 95）と算出する。つまり、指定された配線トポロジが「スター型」であるため、分岐点からレシーバまでのマンハッタン長が2つのレシーバで等しくなるように、且つ、ドライバから分岐点までの距離ができるだけ短くなるように、分岐点の位置が決められる。同図に示す場合、座標の単位をmmとすると、ドライバから分岐点までの配線長は15mm、ドライバから各レシーバまでの配線長は150mmと、マンハッタン長で算出される。以後、この配線長が入力回路情報の配線長として用いられる。

【0037】

尚、変形例として、配線トポロジの指定を行わずに、予め選択し得る配線トポロジを定義しておき、順番に配線トポロジを変えてマンハッタン長で配線長を算出することもできる。この場合、選択し得る配線トポロジとしては、「スター型」、「負荷集中型」、「いもづる（チェーン）型」、「H型」等がある。

【0038】

図10は、本発明になるノイズ対策決定方法及び装置及び記憶媒体の第4実施例が適用されるコンピュータシステム100におけるCPU201のノイズ対策決定処理を説明するためのフローチャートである。同図中、図8と同一ステップには同一符号を付し、その説明は省略する。本実施例では、配線トポロジを指定せず、選択し得る全ての配線トポロジを用いてノイズチェックまでの処理を繰り返し、ノイズチェックの結果から最適な配線トポロジを決定する。

【0039】

図10において、ステップ15は、入力回路情報としてメモリ部202から読み出された配置位置と、選択し得る配線トポロジのうち最初の配線トポロジとに基づいて、マンハッタン長を配線長として算出する。ステップ9-1は、ノイズチ

チェックを行うと共に、選択し得る配線トポロジが残っているか否かも判断し、判断結果がYESであると、処理はステップ15へ戻る。従って、ステップ15、16、7、8、9-1は、選択し得る配線トポロジがなくなりステップ9-1での判断結果がNOとなるまで繰り返される。この結果、ステップ17は、繰り返し行ったノイズチェックの結果に基づき、最適な配線トポロジをノイズ対策として求め、ステップ18は、求められた最適な配線トポロジを出力する。

【0040】

図11は、本発明になるノイズ対策決定方法及び装置及び記憶媒体の第5実施例が適用されるコンピュータシステム100におけるCPU201のノイズ対策決定処理を説明するためのフローチャートである。同図中、図8と同一ステップには同一符号を付し、その説明は省略する。本実施例では、クロストークノイズを考慮したノイズチェックを行う。

【0041】

図11において、ステップ1で入力される入力回路情報のうち、解析対象となる着目ネットに関する回路情報はステップ2においてメモリ部202等の記憶手段に格納され、着目ネットに隣接する隣接ネットに関する回路情報はステップ19においてメモリ部202等の記憶手段に格納される。ステップ7-1は、着目ネットと隣接ネットとのシミュレーションモデルを作成する。従って、ステップ9は、このシミュレーションモデルに基づいて回路シミュレーションを実行することにより、着目ネットの伝播信号波形とクロストークノイズ波形を算出し、伝播信号波形とクロストークノイズ波形を合成してノイズ合成波形を求める。又、ステップ9は、ノイズ合成波形に基づいてノイズチェックを行う。

【0042】

図12は、着目ネットと隣接ネットの回路情報を説明する図である。同図に示すように、ネット内でクロストークを考慮すべき部分を指定し、パターンギャップも合わせて入力する。この場合、着目ネットの回路情報は、ドライバ、配線長 $L = 150\text{ mm}$ でインピーダンス $Z_0 = 60\ \Omega$ の配線、配線長 $L = 20\text{ mm}$ でインピーダンス $Z_0 = 60\ \Omega$ の配線及びレシーバからなる。隣接ネットの回路情報は、ドライバ、配線長 $L = 100\text{ mm}$ でインピーダンス $Z_0 = 70\ \Omega$ の配線、

配線長 $L = 20 \text{ mm}$ でインピーダンス $Z_0 = 70 \Omega$ の配線及びレシーバからなる。又、パターンギャップ Gap は 1.27 mm である。ステップ 8 では、回路シミュレータのモデルを作成する際に、クロストーク部分のモデルを作成し、回路シミュレータから出力されるクロストークノイズ波形と、着目ネットの伝播信号波形とを合成してノイズ合成波形を求める。ノイズチェックは、このノイズ合成波形に基いて行われる。

【0043】

図 13 は、本発明になるノイズ対策決定方法及び装置及び記憶媒体の第 6 実施例が適用されるコンピュータシステム 100 における CPU 201 のノイズ対策決定処理を説明するためのフローチャートである。同図中、図 11 と同一ステップには同一符号を付し、その説明は省略する。本実施例では、隣接ネットの回路情報を入力する代わりに、着目ネットと同一構成のネットが一定のパターンギャップで隣接しているものとしてシミュレーションモデルを作成する。

【0044】

図 13 において、ステップ 19-1 は、着目ネットに関する回路情報を、着目ネットに隣接する隣接ネットに関する回路情報としてメモリ部 202 等の記憶手段に格納している。つまり、着目ネットと同一構成のネットが一定のパターンギャップで隣接しているものとして、隣接ネットの回路情報を自動発生させる。ステップ 7-1 は、この隣接ネットに関する回路情報を用いて、着目ネットと隣接ネットとのシミュレーションモデルを作成する。

【0045】

図 14 は、着目ネットと隣接ネットの回路情報を説明する図である。同図に示すように、ネット内でクロストークを考慮すべき部分を指定し、着目ネットと同一構成のネットが、一定のパターンギャップで隣接しているものとする事で、隣接ネットの回路情報を自動発生させる。この場合、着目ネットの回路情報は、ドライバ、配線長 $L = 150 \text{ mm}$ でインピーダンス $Z_0 = 60 \Omega$ の配線、配線長 $L = 20 \text{ mm}$ でインピーダンス $Z_0 = 60 \Omega$ の配線及びレシーバからなる。自動発生される隣接ネットの回路情報は、同じくドライバ、配線長 $L = 150 \text{ mm}$ でインピーダンス $Z_0 = 60 \Omega$ の配線、配線長 $L = 20 \text{ mm}$ でインピーダンス $Z_0 = 60 \Omega$ の配線、配線長 $L = 20 \text{ mm}$ でインピーダンス $Z_0 = 60 \Omega$ の配線及びレシーバからなる。

0 = 60 Ω の配線及びレシーバからなり、パターンギャップ G a p は 1.27 m m で一定である。ステップ 8 では、回路シミュレータのモデルを作成する際に、クロストーク部分のモデルを作成し、回路シミュレータから出力されるクロストークノイズ波形と、着目ネットの伝播信号波形とを合成してノイズ合成波形を求める。ノイズチェックは、このノイズ合成波形に基づいて行われる。

【 0 0 4 6 】

図 1 5 は、本発明になるノイズ対策決定方法及び装置及び記憶媒体の第 7 実施例が適用されるコンピュータシステム 1 0 0 における CPU 2 0 1 のノイズ対策決定処理を説明するためのフローチャートである。同図中、図 1 3 と同一ステップには同一符号を付し、その説明は省略する。本実施例では、着目ネットと隣接ネットとのパターンギャップを変更しながらシミュレーションモデルの作成からノイズチェックまでの処理を繰り返すことで、ノイズが許容範囲内となる最小のパターンギャップを求めてノイズ対策として出力する。

【 0 0 4 7 】

図 1 5 において、ステップ 7 - 2 は、着目ネットの回路情報及び隣接ネットの回路情報に加え、着目ネットと隣接ネットとのパターンギャップの最小値、最大値及び刻みに基いてシミュレーションモデルを作成する。又、ステップ 9 - 2 は、パターンギャップの最小値で隣接ネットの回路情報を作成し、クロストークを考慮したノイズチェックを行うと共に、ノイズが許容範囲を超える場合には、刻み分だけパターンギャップを広げて処理をステップ 7 - 2 へ戻す。これにより、ノイズが許容範囲内となるまでステップ 7 - 2, 8, 9 - 2 の処理を繰り返し、ステップ 2 1 は、ノイズが許容範囲内となる最小のパターンギャップをノイズ対策として求め、ステップ 2 2 は求められたノイズ対策を出力する。

【 0 0 4 8 】

尚、上記各実施例における処理は、回路設計されたデータに基づいて行っても、実装設計されたデータに基づいて行っても良い。又、配線トポロジをノイズ対策として出力するノイズ対策決定方法と同様に、選択し得る全ての組み合わせを事項することにより、最適な抵抗値、分岐長、配線の特性インピーダンス、配線パターン幅等をノイズ対策として出力するようにしても良い。

【 0 0 4 9 】

次に、具体的な入力回路情報に対して求められる推奨回路情報及びノイズ対策について説明する。以下の説明では、便宜上、推奨回路情報及びノイズ対策が図 8 に示す第 3 実施例により求められるものとする。

【 0 0 5 0 】

図 1 6 は、入力回路情報を示す図である。この場合、配線トポロジは負荷集中型であり、配線パターンの特性インピーダンス $Z_0 = 60 \Omega$ 、配線パターンの伝送遅延時間 $T_d = 7.0 \text{ ns/m}$ である。入力回路情報は、出力抵抗 $R_0 = 10 \Omega$ 、立ち上がり時間 $T_r = 0.7 \text{ ns}$ 、立下り時間 $T_f = 0.6 \text{ ns}$ のドライバ (DV)、配線長 $L_1 = 150 \text{ mm}$ の配線、配線長 $L_3 = 30 \text{ mm}$ の配線、配線長 $L_4 = 100 \text{ mm}$ の配線、レシーバ RV1 及びレシーバ RV2 を含む。

【 0 0 5 1 】

図 1 7 は、図 1 6 に示す入力回路情報に対して求められる推奨回路情報を示す図である。図 1 7 に示す推奨回路情報は、配線トポロジが負荷集中型であり、配線パターンの特性インピーダンス $Z_0 = 60 \Omega$ 、配線パターンの伝送遅延時間 $T_d = 7.0 \text{ ns/m}$ である。又、出力抵抗 $R_0 = 10 \Omega$ 、立ち上がり時間 $T_r = 0.7 \text{ ns}$ 、立下り時間 $T_f = 0.6 \text{ ns}$ のドライバ (DV)、配線長 $L_2 = 0 \sim 35 \text{ mm}$ の配線、抵抗値 $R_s = 40 \sim 60 \Omega$ のダンピング抵抗、配線長 $L_1 = 150 \text{ mm}$ の配線、配線長 $L_3 = 0 \sim 35 \text{ mm}$ の配線、配線長 $L_4 = 0 \sim 35 \text{ mm}$ の配線、レシーバ RV1 及びレシーバ RV2 を含む。

【 0 0 5 2 】

この場合、ダンピング抵抗の抵抗値 R_s の推奨値 $40 \Omega \leq R_s \leq 60 \Omega$ は、配線の特性インピーダンス Z_0 及びドライバ (DV) の出力抵抗 R_0 から算出する。ドライバ (DV) とダンピング抵抗との間の配線長 L_2 の推奨値 $0 \leq L_2 \leq 35 \text{ mm}$ は、配線パターンの伝送遅延時間 T_d 、ドライバ (DV) の立ち上がり時間 T_r 及び立下り時間 T_f から算出する。分岐点とレシーバ (RV1) との間の配線長 L_3 の推奨値 $0 \leq L_3 \leq 35 \text{ mm}$ は、配線パターンの伝送遅延時間 T_d 、ドライバ (DV) の立ち上がり時間 T_r 及び立下り時間 T_f から算出する。分岐点とレシーバ (RV2) との間の配線長 L_4 の推奨値 $0 \leq L_4 \leq 35 \text{ mm}$ は、配

線パターンの伝送遅延時間 T_d 、ドライバ(DV)の立ち上がり時間 T_r 及び立下り時間 T_f から算出する。

【0053】

ノイズ対策は、図16に示す入力回路情報と、図17に示す推奨回路情報との相違点に基いて決定される。この場合、決定されるノイズ対策は、例えば抵抗値が $40 \sim 60 \Omega$ のダンピング抵抗 R_s をドライバ(DV)から $0 \sim 35 \text{ mm}$ の位置に追加すること、分岐点とレシーバ(RV2)との間の配線長 L_4 を $0 \sim 35 \text{ mm}$ に変更すること等である。

【0054】

図18は、他の入力回路情報を示す図である。この場合、配線トポロジはスター型であり、配線パターンの特性インピーダンス $Z_0 = 60 \Omega$ 、配線パターンの伝送遅延時間 $T_d = 7.0 \text{ ns/m}$ である。入力回路情報は、出力抵抗 $R_0 = 10 \Omega$ 、立ち上がり時間 $T_r = 0.7 \text{ ns}$ 、立下り時間 $T_f = 0.6 \text{ ns}$ のドライバ(DV)、配線長 $L_1 = 20 \text{ mm}$ の配線、配線長 $L_2 = 150 \text{ mm}$ の配線、配線長 $L_3 = 150 \text{ mm}$ の配線、負荷容量値 $C_1 = 3 \text{ pF}$ のレシーバRV1及び負荷容量値 $C_2 = 7 \text{ pF}$ のレシーバRV2を含む。

【0055】

図19は、図18に示す入力回路情報に対して求められる推奨回路情報を示す図である。図19に示す推奨回路情報は、配線トポロジが負荷集中型であり、配線パターンの特性インピーダンス $Z_0 = 60 \Omega$ 、配線パターンの伝送遅延時間 $T_d = 7.0 \text{ ns/m}$ である。又、出力抵抗 $R_0 = 10 \Omega$ 、立ち上がり時間 $T_r = 0.7 \text{ ns}$ 、立下り時間 $T_f = 0.6 \text{ ns}$ のドライバ(DV)、配線長 $L_1 = 0 \sim 35 \text{ mm}$ の配線、配線長 $L_4 = 0 \sim 20 \text{ mm}$ の配線、配線長 $L_5 = 0 \sim 20 \text{ mm}$ の配線、抵抗値 $R_{s1} = 20 \sim 40 \Omega$ のダンピング抵抗、抵抗値 $R_{s2} = 20 \sim 40 \Omega$ のダンピング抵抗、配線長 $L_2 = 150 \text{ mm}$ の配線、配線長 $L_3 = 150 \text{ mm}$ の配線、負荷容量値 $C_1 = 3 \text{ pF}$ のレシーバRV1及び負荷容量値 $C_2 = 7 \text{ pF}$ のレシーバRV2を含む。

【0056】

この場合、ダンピング抵抗の抵抗値 R_{s1} の推奨値(最大値) $R_{s1} \leq 40 \Omega$

及びダンピング抵抗の抵抗値 R_{s2} の推奨値（最大値） $R_{s2} \leq 40 \Omega$ は、配線
 の特性インピーダンス Z_0 及びドライバ（DV）の出力抵抗 R_0 から算出する。
 又、ダンピング抵抗の抵抗値 R_{s1} の推奨値（最小値） $20 \Omega \leq R_{s1}$ 及びダン
 ピング抵抗の抵抗値 R_{s2} の推奨値（最小値） $20 \Omega \leq R_{s2}$ は、レシーバ（RV1）
 の負荷容量値 C_1 とレシーバ（RV2）の負荷容量値 C_2 から算出する。
 ドライバ（DV）と分岐点との間の配線長 L_1 の推奨値 $0 \leq L_1 \leq 35 \text{ mm}$ は、
 配線パターンの伝送遅延時間 T_d 、ドライバ（DV）の立ち上がり時間 T_r 及び
 立下り時間 T_f から算出する。分岐点とダンピング抵抗 R_{s1} との間の配線長 L_4
 の推奨値 $0 \leq L_4 \leq 20 \text{ mm}$ は、配線パターンの伝送遅延時間 T_d 、ドライバ
 （DV）の立ち上がり時間 T_r 及び立下り時間 T_f から算出する。分岐点とダン
 ピング抵抗 R_{s2} との間の配線長 L_5 の推奨値 $0 \leq L_5 \leq 20 \text{ mm}$ は、配線パタ
 ーンの伝送遅延時間 T_d 、ドライバ（DV）の立ち上がり時間 T_r 及び立下り時
 間 T_f から算出する。

【 0 0 5 7 】

ノイズ対策は、図 1 8 に示す入力回路情報と、図 1 9 に示す推奨回路情報との
 相違点に基いて決定される。この場合、決定されるノイズ対策は、例えば抵抗値
 が $20 \sim 40 \Omega$ のダンピング抵抗 R_{s1} を分岐点とレシーバ（RV1）との間の
 、分岐点から $0 \sim 35 \text{ mm}$ の位置に追加すること、抵抗値が $20 \sim 40 \Omega$ のダン
 ピング抵抗 R_{s2} を分岐点とレシーバ（RV2）との間の、分岐点から $0 \sim 35$
 mm の位置に追加すること等である。

【 0 0 5 8 】

図 2 0 は、更に他の入力回路情報を示す図である。この場合、配線トポロジは
 スター型であり、配線パターンの特性インピーダンス $Z_0 = 60 \Omega$ 、配線パター
 ンの伝送遅延時間 $T_d = 7.0 \text{ ns/m}$ である。入力回路情報は、出力抵抗 $R_0 =$
 40Ω 、立ち上がり時間 $T_r = 0.7 \text{ ns}$ 、立下り時間 $T_f = 0.6 \text{ ns}$ のドライ
 バ（DV）、配線長 $L_1 = 20 \text{ mm}$ の配線、配線長 $L_2 = 150 \text{ mm}$ の配線、配
 線長 $L_3 = 150 \text{ mm}$ の配線、配線長 $L_4 = 150 \text{ mm}$ の配線、負荷容量値 C_1
 $= 3 \text{ pF}$ のレシーバ RV1、負荷容量値 $C_2 = 3 \text{ pF}$ のレシーバ RV2 及び負荷
 容量値 $C_3 = 4 \text{ pF}$ のレシーバ（RV3）を含む。

【 0 0 5 9 】

図 2 1 は、図 2 0 に示す入力回路情報に対して求められる推奨回路情報を示す図である。図 2 1 に示す推奨回路情報は、配線トポロジが負荷集中型であり、配線パターンの特性インピーダンス $Z_0 = 60 \Omega$ 、配線パターンの伝送遅延時間 $T_d = 7.0 \text{ ns/m}$ である。又、出力抵抗 $R_0 = 40 \Omega$ 、立ち上がり時間 $T_r = 0.7 \text{ ns}$ 、立下り時間 $T_f = 0.6 \text{ ns}$ のドライバ (DV)、配線長 $L_1 = 150 \text{ mm}$ の配線、配線長 $L_2 = 0 \sim 55 \text{ mm}$ の配線、配線長 $L_3 = 0 \sim 55 \text{ mm}$ の配線、配線長 $L_4 = 0 \sim 55 \text{ mm}$ の配線、負荷容量値 $C_1 = 3 \text{ pF}$ のレシーバ RV1、負荷容量値 $C_2 = 3 \text{ pF}$ のレシーバ RV2 及び負荷容量値 $C_3 = 4 \text{ pF}$ のレシーバ (RV3) を含む。

【 0 0 6 0 】

この場合、配線の特性インピーダンス $Z_0 = 60 \Omega$ 、ドライバ (DV) の出力抵抗 $R_0 = 40 \Omega$ 、レシーバ数 (この場合 3 個)、各レシーバ (RV1 ~ RV3) の負荷容量値 $C_1 = C_2 = 3 \text{ pF}$ 、 $C_3 = 4 \text{ pF}$ から、配線トポロジとして負荷集中型を選択する。ドライバ (DV) と分岐点との間の配線長 L_1 の推奨値 $L_1 = 150 \text{ mm}$ は、配線トポロジと配線長 $L_1 = 20 \text{ mm}$ 、 $L_2 = 150 \text{ mm}$ 、 $L_3 = 150 \text{ mm}$ から算出する。分岐点とレシーバ (RV1) との間の配線長 L_2 の推奨値 $0 \leq L_2 \leq 55 \text{ mm}$ は、配線パターンの伝送遅延時間 T_d 、ドライバ (DV) の立ち上がり時間 T_r 及び立下り時間 T_f から算出する。分岐点とレシーバ (RV2) との間の配線長 L_3 の推奨値 $0 \leq L_3 \leq 55 \text{ mm}$ は、配線パターンの伝送遅延時間 T_d 、ドライバ (DV) の立ち上がり時間 T_r 及び立下り時間 T_f から算出する。分岐点とレシーバ (RV3) との間の配線長 L_4 の推奨値 $0 \leq L_4 \leq 55 \text{ mm}$ は、配線パターンの伝送遅延時間 T_d 、ドライバ (DV) の立ち上がり時間 T_r 及び立下り時間 T_f から算出する。

【 0 0 6 1 】

ノイズ対策は、図 2 0 に示す入力回路情報と、図 2 1 に示す推奨回路情報との相違点に基いて決定される。この場合、決定されるノイズ対策は、例えば配線トポロジを負荷集中型に変更する、ドライバ (DV) と分岐点との間の配線長 L_1 を 150 mm に変更する、分岐点とレシーバ (RV1) との間の配線長 L_2 を 0

～55mmに変更する、分岐点とレシーバ(RV2)との間の配線長L3を0～55mmに変更する、分岐点とレシーバ(RV3)との間の配線長L4を0～55mmに変更すること等である。

【0062】

尚、推奨回路情報は、上記各実施例と共に説明した情報に限定されるものではない。推奨回路情報には、例えばドライバとダンピング抵抗との間の配線長、分岐点と各レシーバとの間の配線長、ドライバと各レシーバとの間の線長差、ダンピング抵抗値、ダンピング抵抗の挿入位置、プルアップ抵抗値、プルダウン抵抗値、プルアップ電圧値、ドライバの駆動能力、1つのドライバに対してレシーバをいくつ設けるか等の負荷数、配線トポロジ等をも用い得る。

【0063】

本発明は、以下に付記する発明をも包含するものである。

【0064】

(付記1) 対象となる回路のうち、少なくとも1つのネット分の入力回路情報に基いて、計算式によりノイズが最小となると考えられる推奨回路情報を算出する推奨回路情報算出ステップと、

該入力回路情報と該推奨回路情報との比較し、異なる部分の推奨回路情報をノイズ対策として決定するノイズ対策決定ステップとを含むことを特徴とする、ノイズ対策決定方法。

(付記2) 前記ノイズ対策の決定後に、前記入力回路情報のシミュレーションモデルを作成する回路モデル作成ステップと、

該シミュレーションモデルを用いて回路シミュレーションを行い、前記回路の配線を伝播する信号波形を算出して信号波形に許容範囲を超えるノイズが存在するか否かをチェックするシミュレーション・チェックステップと、

ノイズチェックの結果存在するノイズを分類して、決定されたノイズ対策をノイズに関係する部分のみに絞り込むノイズ対策絞り込みステップとを更に含むことを特徴とする、(付記1)記載のノイズ対策決定方法。

(付記3) 前記推奨回路情報算出ステップは、前記回路の正常動作を保証する最小電圧 V_{IH-1} と最大電圧 V_{IH-2} に基き、該回路の受信側入力波形の

1 回目の立ち上がり電圧が最小電圧 V_{IH-1} と等しくなるダンピング抵抗値を最大値とし、受信側入力波形の 1 回目の立ち上がり電圧が最大電圧 V_{IH-2} と等しくなるダンピング抵抗値を最小値として、該ダンピング抵抗値の範囲を推奨回路情報として出力することを特徴とする、（付記 1）記載のノイズ対策決定方法。

【 0 0 6 5 】

（付記 4） 前記推奨回路情報算出ステップは、リングバック時の電圧が前記最小電圧 V_{IH-1} と等しくなるダンピング抵抗値と、求められた前記ダンピング抵抗値の最小値とを比較し、大きい方の値をダンピング抵抗値の最小値として出力することを特徴とする、（付記 3）記載のノイズ対策決定方法。

【 0 0 6 6 】

（付記 5） 前記回路を構成する部品ピンの位置と配線トポロジとに基いて決定されるマンハッタン長を配線長として含む入力回路情報を出力する回路情報出力ステップを更に含むことを特徴とする、（付記 1）記載のノイズ対策決定方法。

（付記 6） 前記ノイズ対策の決定後に、前記入力回路情報のシミュレーションモデルを作成する回路モデル作成ステップと、

該シミュレーションモデルを用いて回路シミュレーションを行い、前記回路の配線を伝播する信号波形を算出して信号波形に許容範囲を超えるノイズが存在するか否かをチェックするシミュレーション・チェックステップと、

該回路モデル作成ステップ及び該シミュレーション・チェックステップを複数の配線トポロジを用いて繰り返し、ノイズチェックの結果から最適な配線トポロジを決定して前記回路情報出力ステップで用いることで、前記ノイズ対策決定ステップで該最適な配線トポロジをノイズ対策として決定することを特徴とする、

（付記 5）記載のノイズ対策決定方法。

【 0 0 6 7 】

（付記 7） 前記ノイズ対策の決定後に、解析対象となる着目ネットの回路情報と着目ネットに隣接する隣接ネットの回路情報とからなる入力回路情報のシミュレーションモデルを作成する回路モデル作成ステップと、

該シミュレーションモデルを用いて回路シミュレーションを行い、該着目ネットを伝播する信号波形とクロストークノイズ波形を算出して合成することでノイズ合成波形を求め、該ノイズ合成波形に基いて許容範囲を超えるノイズが存在するか否かをチェックするシミュレーション・チェックステップと、

ノイズチェックの結果存在するノイズを分類して、決定されたノイズ対策をノイズに関係する部分のみに絞り込むノイズ対策絞り込みステップとを更に含むことを特徴とする、（付記 1）記載のノイズ対策決定方法。

【 0 0 6 8 】

（付記 8） 前記回路モデル作成ステップは、前記近接ネットの回路情報が、前記着目ネットと同一構成のネットが一定のパターンギャップで隣接しているものとしてシミュレーションモデルを作成することを特徴とする、（付記 7）記載のノイズ対策決定方法。

【 0 0 6 9 】

（付記 9） 該回路モデル作成ステップ及び該シミュレーション・チェックステップをパターンギャップを変更しながら繰り返し、ノイズチェックの結果からノイズが許容範囲を超えない最小のパターンギャップを求め、前記ノイズ対策決定ステップで該最小のパターンギャップをノイズ対策として決定することを特徴とする、（付記 5）記載のノイズ対策決定方法。

【 0 0 7 0 】

（付記 10） 対象となる回路のうち、少なくとも 1 つのネット分の入力回路情報に基いて、計算式によりノイズが最小となると考えられる推奨回路情報を算出する推奨回路情報算出手段と、

該入力回路情報と該推奨回路情報との比較し、異なる部分の推奨回路情報をノイズ対策として決定するノイズ対策決定手段とを備えたことを特徴とする、ノイズ対策決定装置。

（付記 11） 前記ノイズ対策の決定後に、前記入力回路情報のシミュレーションモデルを作成する回路モデル作成手段と、

該シミュレーションモデルを用いて回路シミュレーションを行い、前記回路の配線を伝播する信号波形を算出して信号波形に許容範囲を超えるノイズが存在す

るか否かをチェックするシミュレーション・チェック手段と、

ノイズチェックの結果存在するノイズを分類して、決定されたノイズ対策をノイズに関係する部分のみに絞り込むノイズ対策絞り込み手段とを更に備えたことを特徴とする、（付記 1 0）記載のノイズ対策決定装置。

【 0 0 7 1 】

（付記 1 2） 前記推奨回路情報算出手段は、前記回路の正常動作を保証する最小電圧 V_{IH-1} と最大電圧 V_{IH-2} に基き、該回路の受信側入力波形の 1 回目の立ち上がり電圧が最小電圧 V_{IH-1} と等しくなるダンピング抵抗値を最大値とし、受信側入力波形の 1 回目の立ち上がり電圧が最大電圧 V_{IH-2} と等しくなるダンピング抵抗値を最小値として、該ダンピング抵抗値の範囲を推奨回路情報として出力することを特徴とする、（付記 1 0）記載のノイズ対策決定装置。

【 0 0 7 2 】

（付記 1 3） 前記推奨回路情報算出手段は、リングバック時の電圧が前記最小電圧 V_{IH-1} と等しくなるダンピング抵抗値と、求められた前記ダンピング抵抗値の最小値とを比較し、大きい方の値をダンピング抵抗値の最小値として出力することを特徴とする、（付記 1 2）記載のノイズ対策決定装置。

【 0 0 7 3 】

（付記 1 4） 前記回路を構成する部品ピンの位置と配線トポロジとに基いて決定されるマンハッタン長を配線長として含む入力回路情報を出力する回路情報出力手段を更に備えたことを特徴とする、（付記 1 0）記載のノイズ対策決定装置。

【 0 0 7 4 】

（付記 1 5） 前記ノイズ対策の決定後に、前記入力回路情報のシミュレーションモデルを作成する回路モデル作成手段と、

該シミュレーションモデルを用いて回路シミュレーションを行い、前記回路の配線を伝播する信号波形を算出して信号波形に許容範囲を超えるノイズが存在するか否かをチェックするシミュレーション・チェック手段と、

該回路モデル作成手段及び該シミュレーション・チェック手段の処理を複数の

配線トポロジを用いて繰り返し、ノイズチェックの結果から最適な配線トポロジを決定して前記回路情報出力手段で用いることで、前記ノイズ対策決定手段で該最適な配線トポロジをノイズ対策として決定することを特徴とする、（付記 1 4）記載のノイズ対策決定装置。

【 0 0 7 5 】

（付記 1 6） 前記ノイズ対策の決定後に、解析対象となる着目ネットの回路情報と着目ネットに隣接する隣接ネットの回路情報とからなる入力回路情報のシミュレーションモデルを作成する回路モデル作成手段と、

該シミュレーションモデルを用いて回路シミュレーションを行い、該着目ネットを伝播する信号波形とクロストークノイズ波形を算出して合成することでノイズ合成波形を求め、該ノイズ合成波形に基いて許容範囲を超えるノイズが存在するか否かをチェックするシミュレーション・チェック手段と、

ノイズチェックの結果存在するノイズを分類して、決定されたノイズ対策をノイズに関係する部分のみに絞り込むノイズ対策絞り込み手段とを更に備えたことを特徴とする、（付記 1 0）記載のノイズ対策決定装置。

【 0 0 7 6 】

（付記 1 7） 前記回路モデル作成手段は、前記近接ネットの回路情報が、前記着目ネットと同一構成のネットが一定のパターンギャップで隣接しているものとしてシミュレーションモデルを作成することを特徴とする、（付記 1 6）記載のノイズ対策決定装置。

【 0 0 7 7 】

（付記 1 8） 該回路モデル作成手段及び該シミュレーション・チェック手段の処理をパターンギャップを変更しながら繰り返し、ノイズチェックの結果からノイズが許容範囲を超えない最小のパターンギャップを求め、前記ノイズ対策決定手段で該最小のパターンギャップをノイズ対策として決定することを特徴とする、（付記 1 4）記載のノイズ対策決定装置。

【 0 0 7 8 】

（付記 1 9） コンピュータにノイズ対策を決定させるプログラムを格納したコンピュータ読み取り可能な記憶媒体であって、

コンピュータに、対象となる回路のうち、少なくとも1つのネット分の入力回路情報に基いて、計算式によりノイズが最小となると考えられる推奨回路情報を算出させる推奨回路情報算出手順と、

コンピュータに、該入力回路情報と該推奨回路情報との比較し、異なる部分の推奨回路情報をノイズ対策として決定させるノイズ対策決定手順とを行わせることを特徴とする、記憶媒体。

以上、本発明を実施例により説明したが、本発明は上記実施例に限定されるものではなく、本発明の範囲内で種々の変形及び改良が可能であることは、言うまでもない。

【 0 0 7 9 】

【発明の効果】

本発明によれば、ノイズ対策を決定する際に回路シミュレータの実行を最小限に抑えることが可能で、設計工程に手作業で繰り返す後戻り処理が必要な部分を発生することなく高速にノイズ対策を決定することのできるノイズ対策決定方法及び装置並びに記憶媒体を実現できる。

【図面の簡単な説明】

【図 1】

本発明の第 1 実施例において本発明が適用されるコンピュータシステムを示す斜視図である。

【図 2】

コンピュータシステムの本体部内の要部の構成を説明するブロック図である。

【図 3】

第 1 実施例における CPU のノイズ対策決定処理を説明するためのフローチャートである。

【図 4】

第 2 実施例における CPU のノイズ対策決定処理を説明するためのフローチャートである。

【図 5】

入力回路情報を説明する図である。

【図 6】

1 回目の立ち上がり電圧と、回路の最大電圧、最小電圧との関係を示す図である。

【図 7】

リングバック時の電圧と回路の最小電圧との関係を示す図である。

【図 8】

第 3 実施例における CPU のノイズ対策決定処理を説明するためのフローチャートである。

【図 9】

配線の引き回しを行わずに I/O バッファの配置位置を入力する場合を示す図である。

【図 1 0】

第 4 実施例が適用されるコンピュータシステムにおける CPU のノイズ対策決定処理を説明するためのフローチャートである。

【図 1 1】

第 5 実施例が適用されるコンピュータシステムにおける CPU のノイズ対策決定処理を説明するためのフローチャートである。

【図 1 2】

着目ネットと隣接ネットの回路情報を説明する図である。

【図 1 3】

第 6 実施例が適用されるコンピュータシステムにおける CPU のノイズ対策決定処理を説明するためのフローチャートである。

【図 1 4】

着目ネットと隣接ネットの回路情報を説明する図である。

【図 1 5】

第 6 実施例が適用されるコンピュータシステムにおける CPU のノイズ対策決定処理を説明するためのフローチャートである。

【図 1 6】

入力回路情報を示す図である。

【図 1 7】

図 1 6 に示す入力回路情報に対する推奨回路情報を示す図である。

【図 1 8】

入力回路情報を示す図である。

【図 1 9】

図 1 8 に示す入力回路情報に対する推奨回路情報を示す図である。

【図 2 0】

入力回路情報を示す図である。

【図 2 1】

図 2 0 に示す入力回路情報に対する推奨回路情報を示す図である。

【符号の説明】

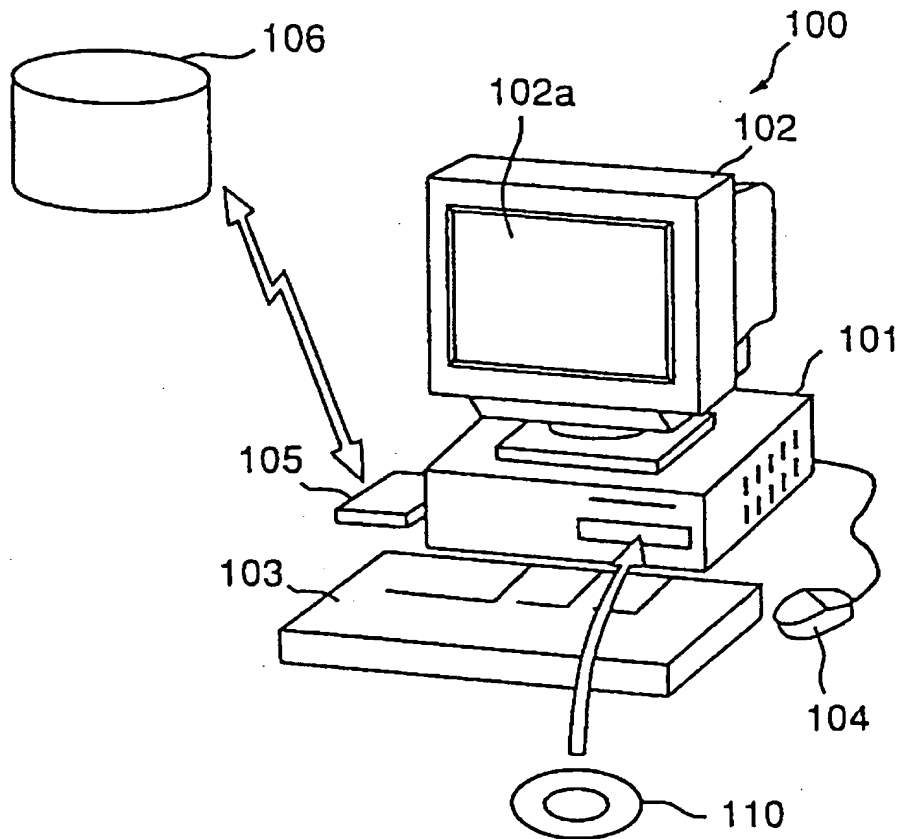
1 0 0	コンピュータシステム
1 0 1	本体部
1 0 2	ディスプレイ
1 0 3	キーボード
1 0 4	マウス
2 0 1	C P U
2 0 2	メモリ部

【書類名】

図面

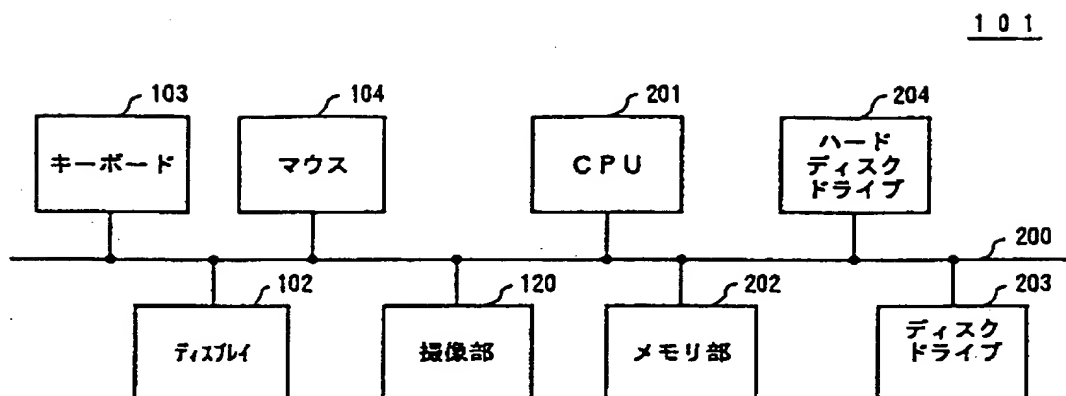
【図 1】

本発明の第 1 実施例において本発明が適用
されるコンピュータシステムを示す斜視図



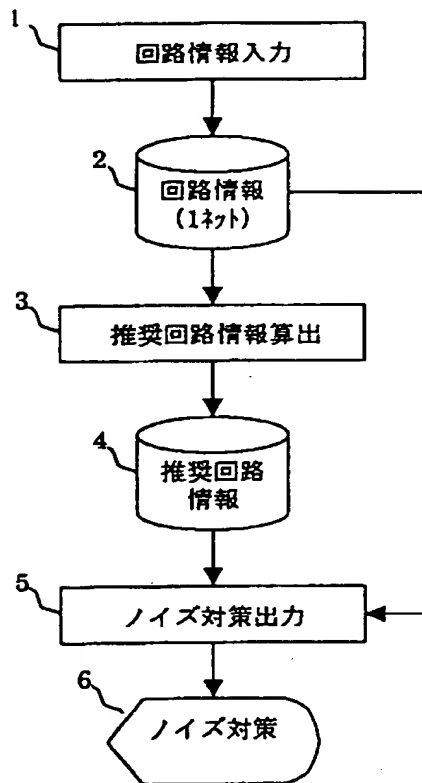
【図 2】

コンピュータシステムの本体部内の
要部の構成を説明するブロック図



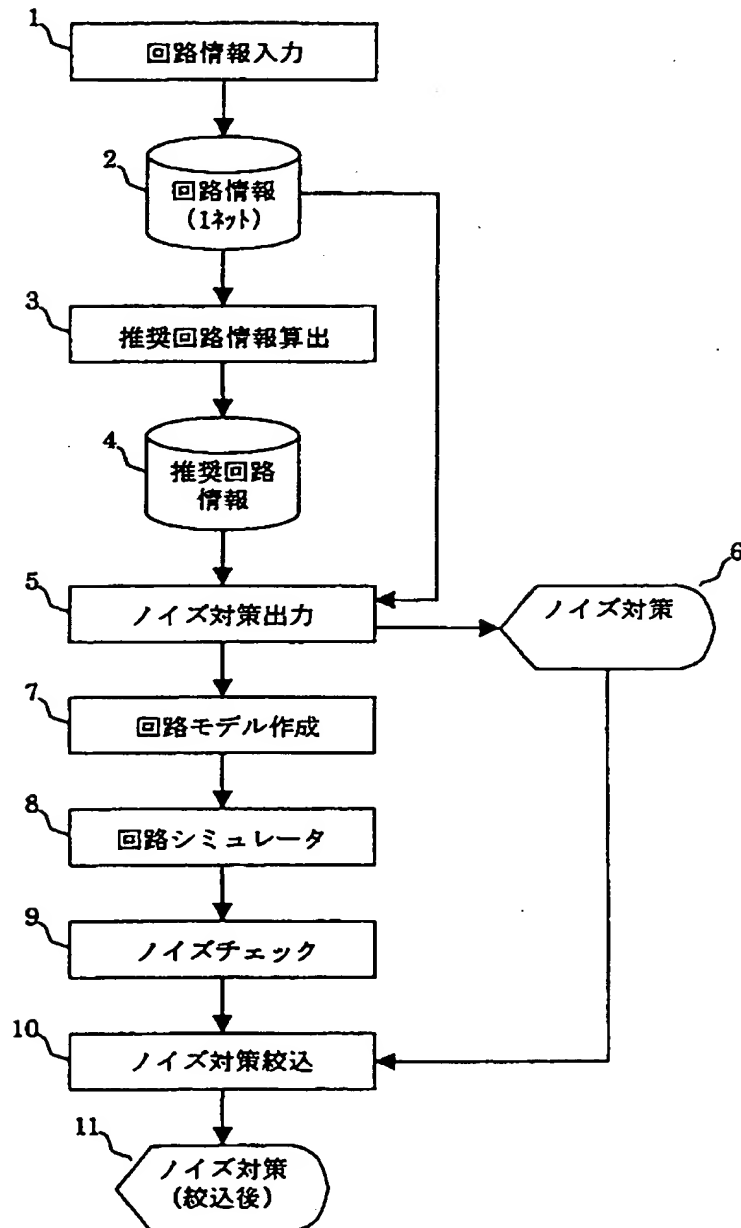
【図 3】

第 1 実施例における CPU のノイズ対策決定処理
を説明するためのフローチャート



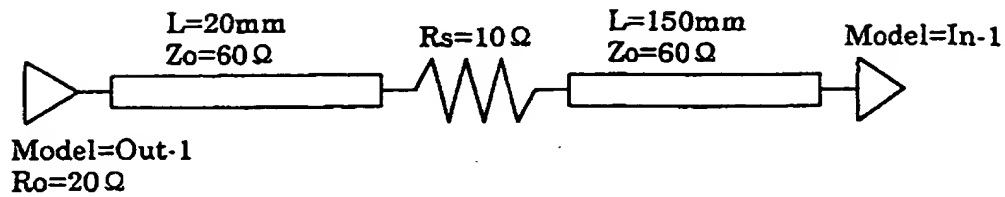
【図 4】

第 2 実施例における CPU のノイズ対策決定処理
を説明するためのフローチャート



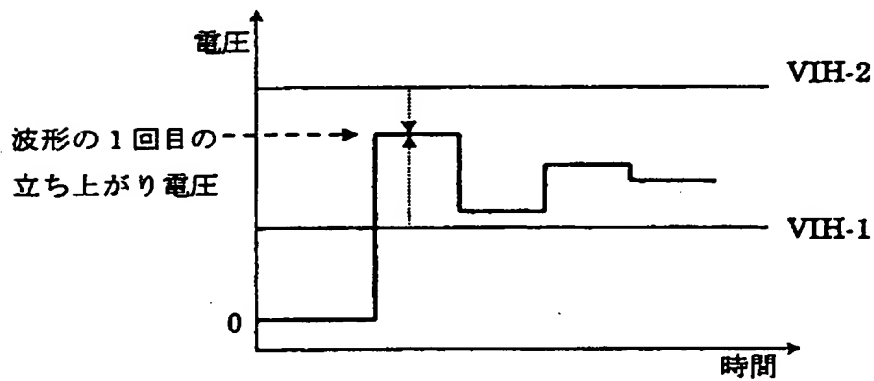
【図 5】

入力回路情報を説明する図



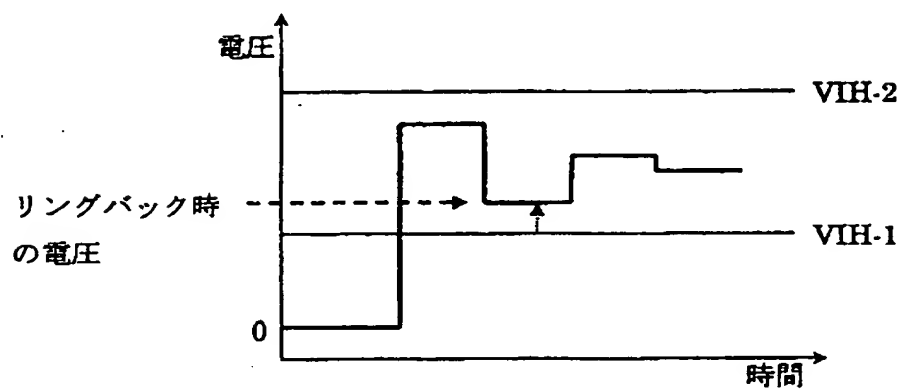
【図 6】

1 回目の立ち上がり電圧と、回路の最大電圧、
最小電圧との関係を示す図



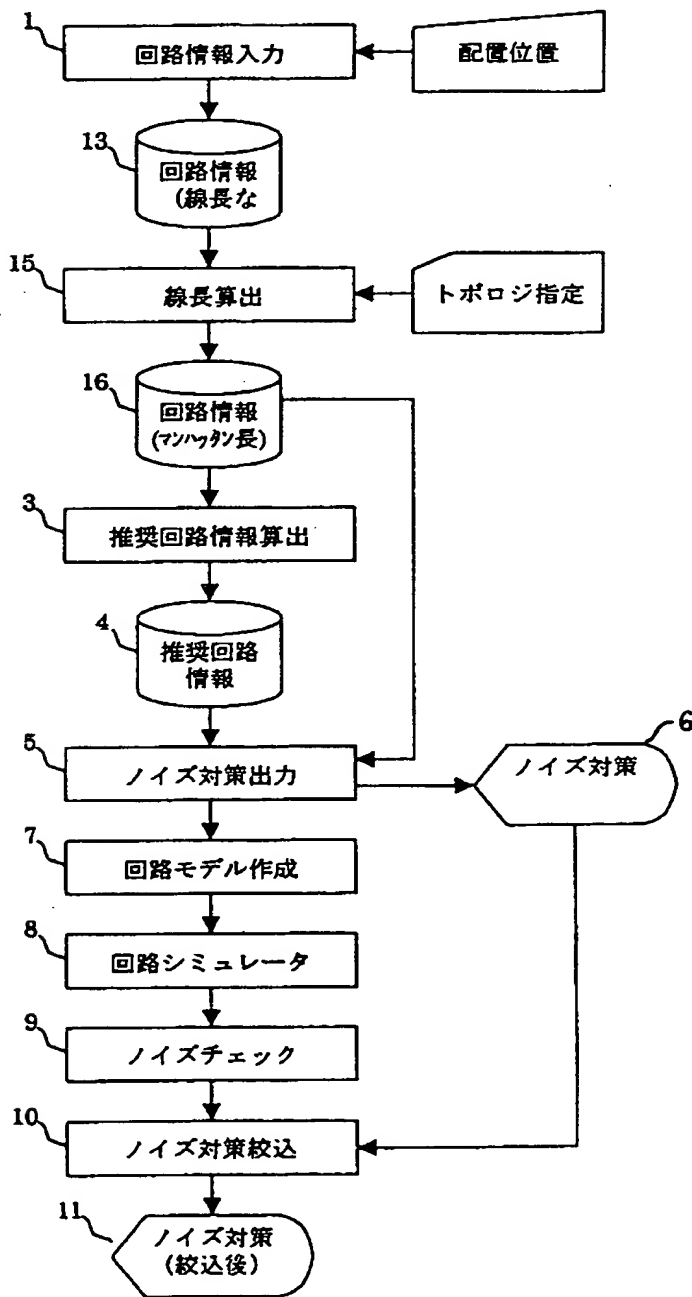
【図 7】

リングバック時の電圧と回路の最小電圧との関係を示す図



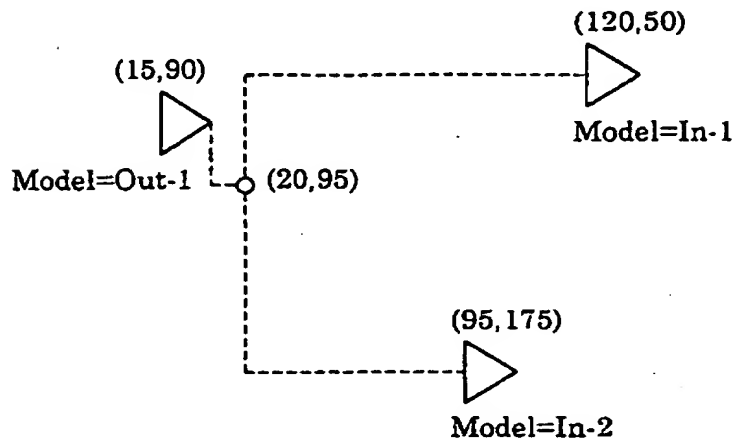
【図 8】

第3実施例におけるCPUのノイズ対策決定処理を説明するためのフローチャート



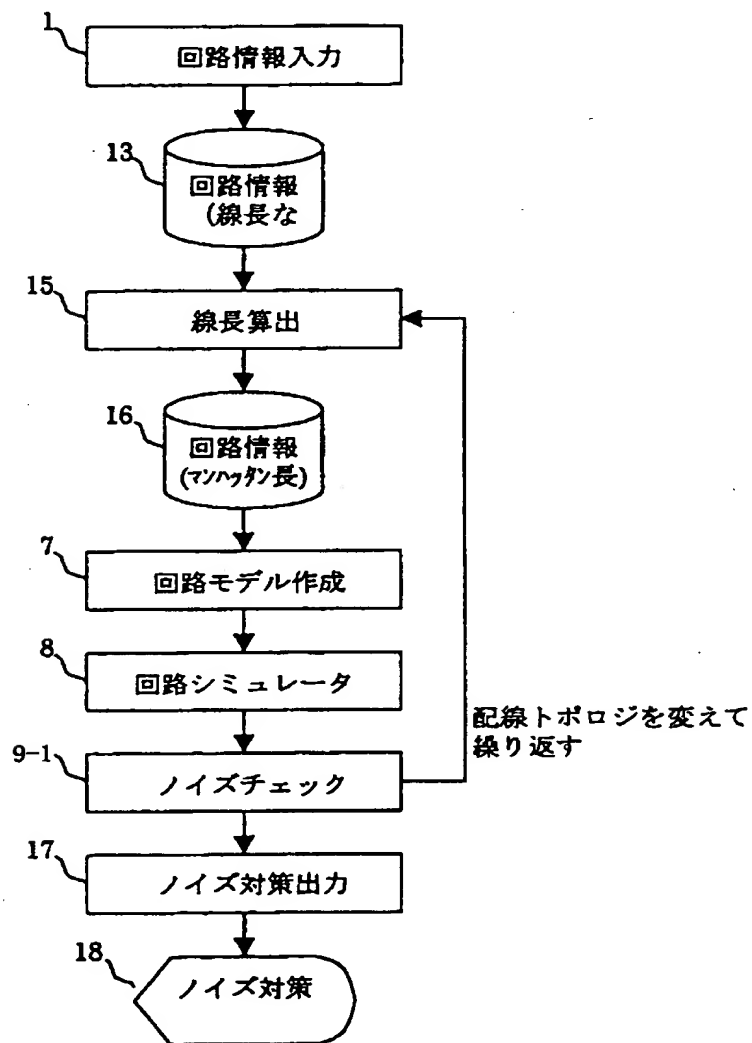
【図 9】

配線の引き回しを行わずに I/Oバッファ
の配置位置を入力する場合を示す図



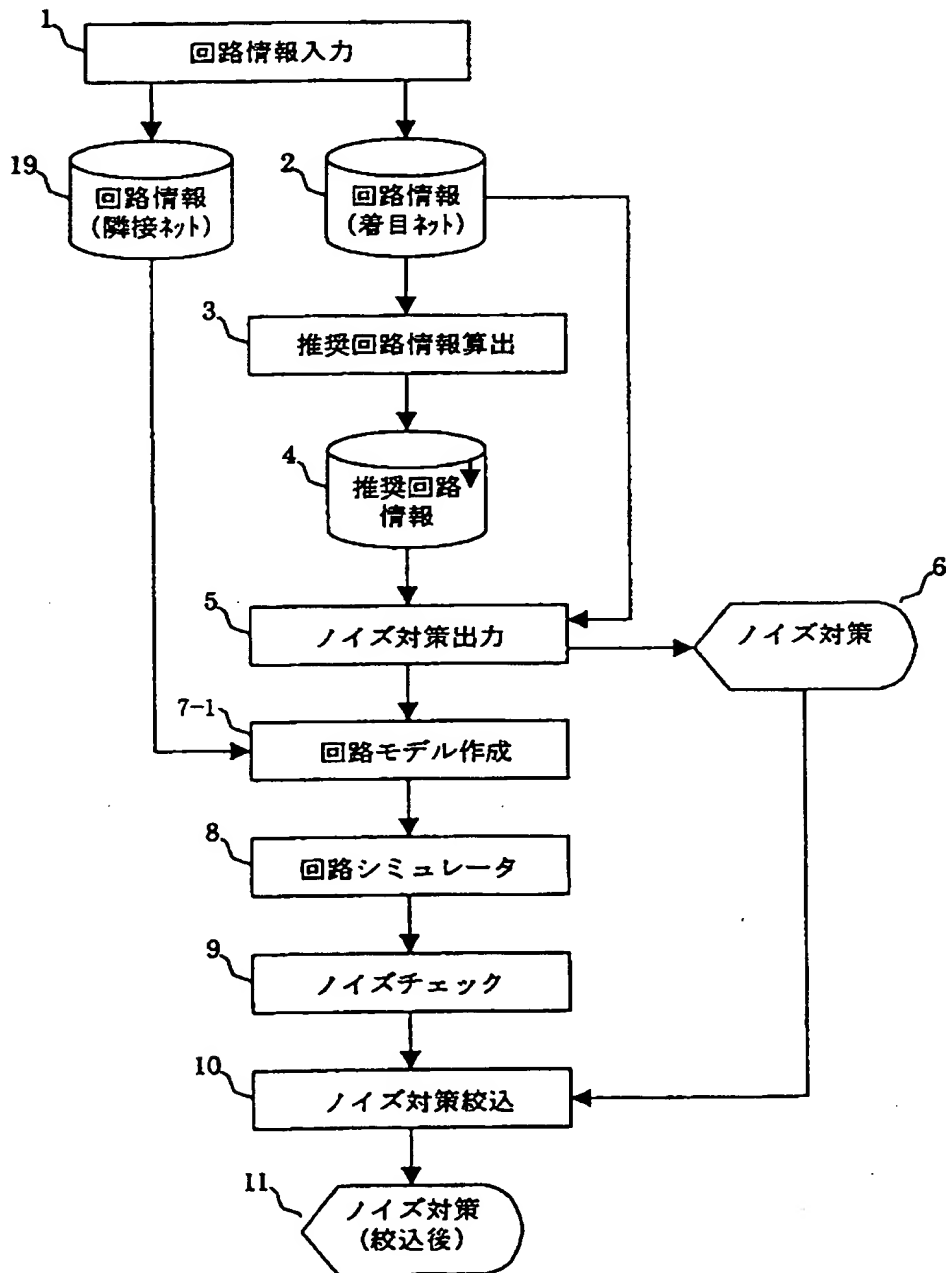
【図 1 0】

第 4 実施例が適用されるコンピュータシステムにおける CPU のノイズ対策決定処理を説明するためのフローチャート



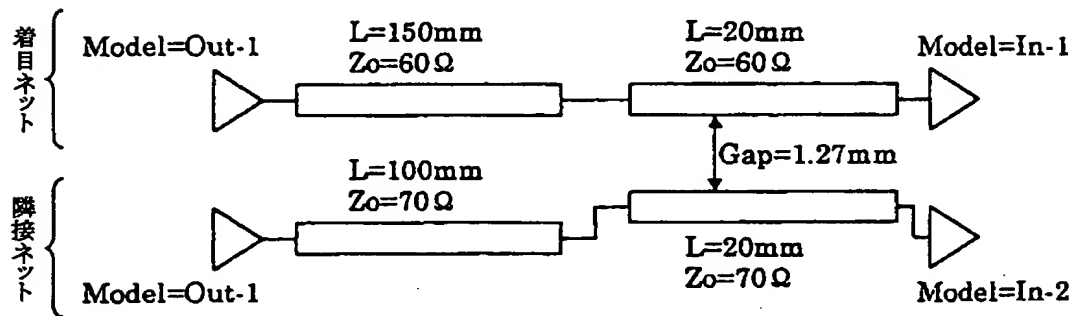
【図 1 1】

第 5 実施例が適用されるコンピュータシステムにおける CPU のノイズ対策決定処理を説明するためのフローチャート



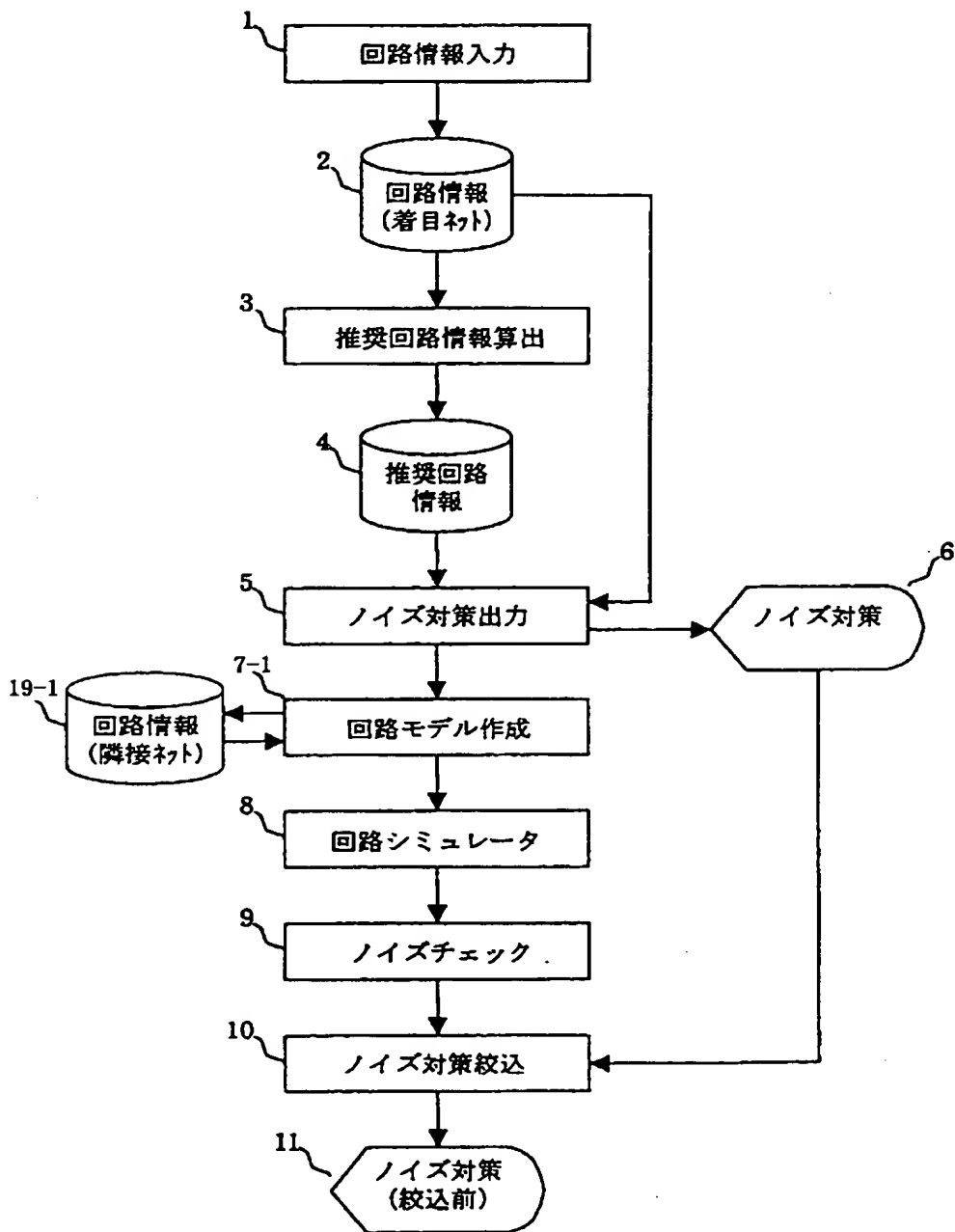
【図 1 2】

着目ネットと隣接ネットの回路情報を説明する図



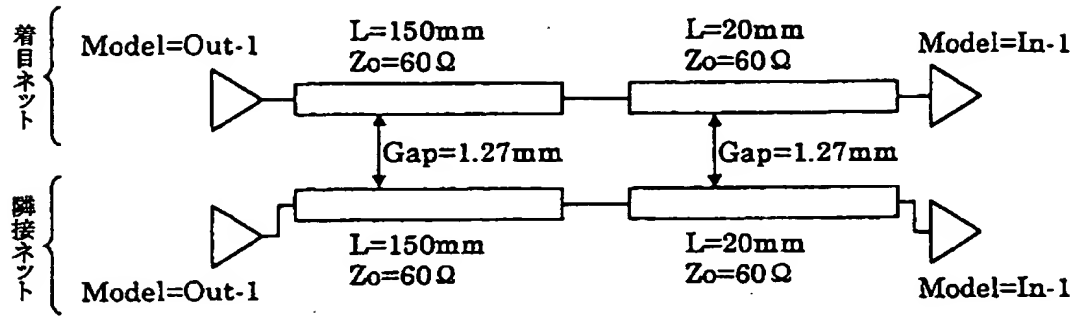
【図 1 3】

第 6 実施例が適用されるコンピュータシステムにおける CPU のノイズ対策決定処理を説明するためのフローチャート



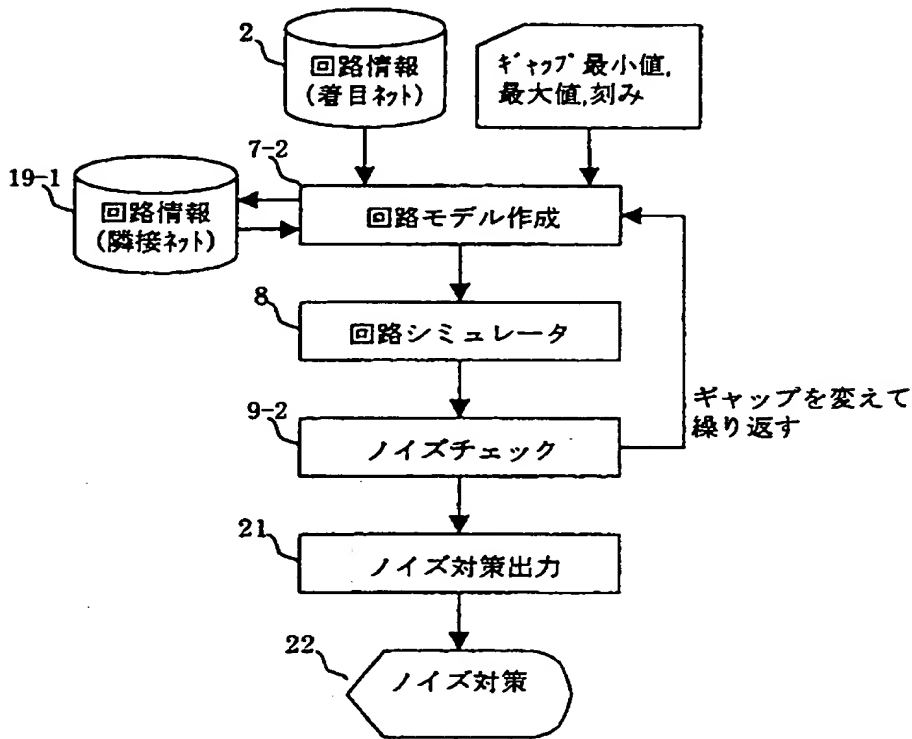
【図 1 4】

着目ネットと隣接ネットの回路情報を説明する図



【図 1 5】

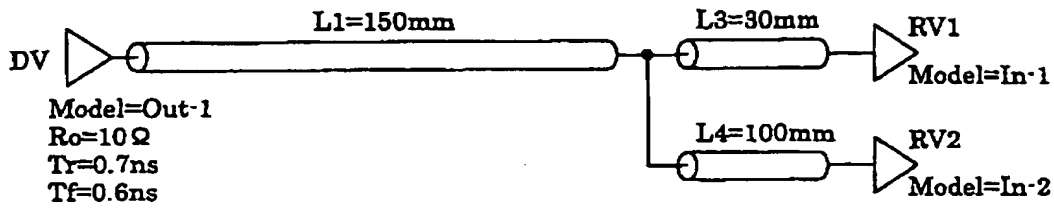
第 6 実施例が適用されるコンピュータシステムにおける CPU のノイズ対策決定処理を説明するためのフローチャート



【図 1 6】

入力回路情報を示す図

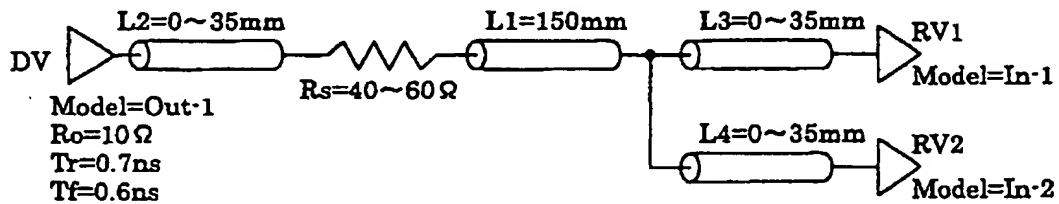
配線トポロジ : 負荷集中型
 配線パターンの特徴インピーダンス : $Z_0=60\Omega$
 配線パターンの伝送遅延時間 : $T_d=7.0\text{ns/m}$



【図 1 7】

図 1 6 に示す入力回路情報に対する推奨回路情報を示す図

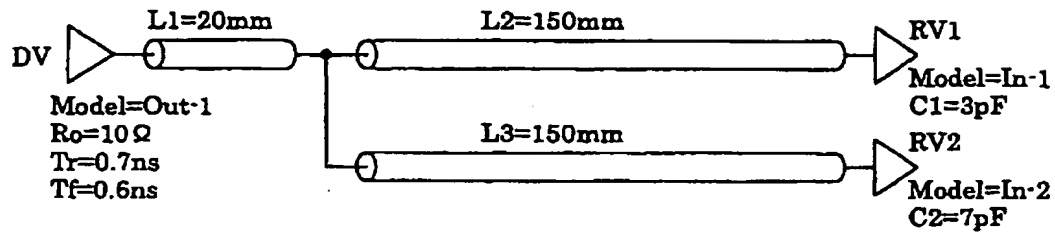
配線トポロジ : 負荷集中型
 配線パターンの特徴インピーダンス : $Z_0=60\Omega$
 配線パターンの伝送遅延時間 : $T_d=7.0\text{ns/m}$



【図 1 8】

入力回路情報を示す図

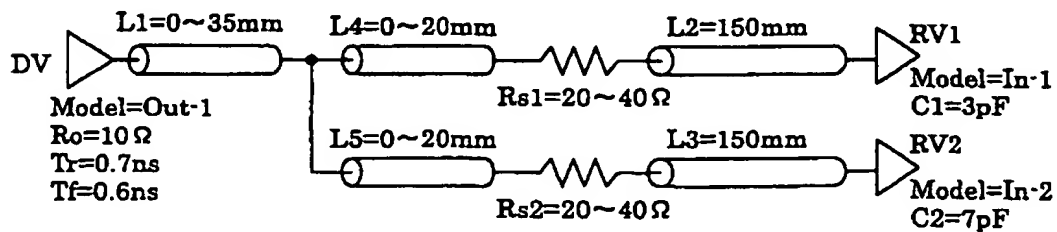
配線トポロジ : スター型
 配線パターンの特性インピーダンス : $Z_0=60\Omega$
 配線パターンの伝送遅延時間 : $T_d=7.0\text{ns/m}$



【図 1 9】

図 1 8 に示す入力回路情報に対する推奨回路情報を示す図

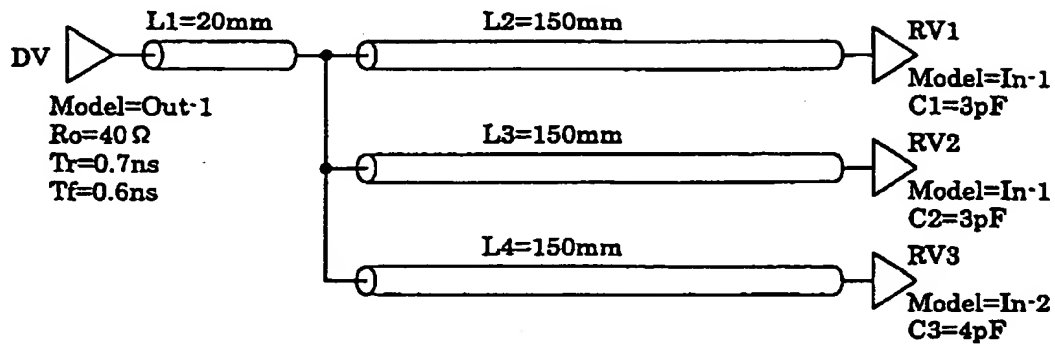
配線トポロジ : 負荷集中型
 配線パターンの特性インピーダンス : $Z_0=60\Omega$
 配線パターンの伝送遅延時間 : $T_d=7.0\text{ns/m}$



【図 2 0】

入力回路情報を示す図

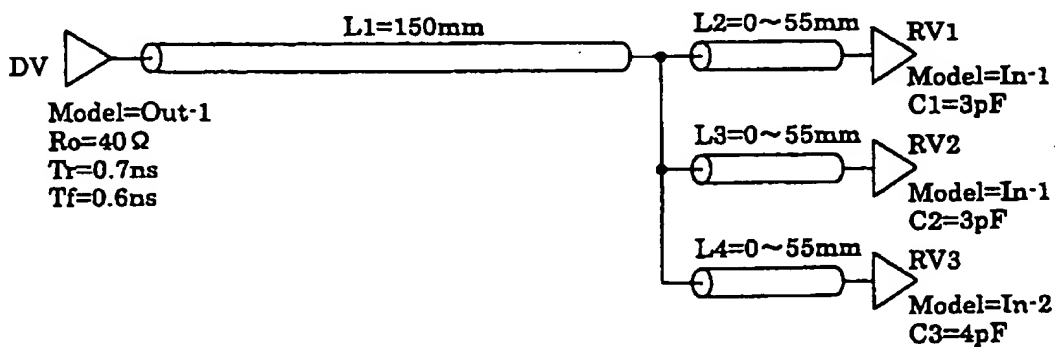
配線トポロジ : スター型
 配線パターンの特徴インピーダンス : $Z_0=60\Omega$
 配線パターンの伝送遅延時間 : $T_d=7.0\text{ns/m}$



【図 2 1】

図 2 0 に示す入力回路情報に対する推奨回路情報を示す図

配線トポロジ : 負荷集中型
 配線パターンの特徴インピーダンス : $Z_0=60\Omega$
 配線パターンの伝送遅延時間 : $T_d=7.0\text{ns/m}$



【書類名】 要約書

【要約】

【課題】 本発明はノイズ対策決定方法及び装置並びに記憶媒体に関し、ノイズ対策を決定する際に回路シミュレータの実行を最小限に抑えることが可能で、設計工程に手作業で繰り返す後戻り処理が必要な部分を発生することなく高速にノイズ対策を決定することのできるノイズ対策決定方法及び装置並びに記憶媒体を提供することことを目的とする。

【解決手段】 対象となる回路のうち、少なくとも1つのネット分の入力回路情報に基いて、計算式によりノイズが最小となると考えられる推奨回路情報を算出する推奨回路情報算出ステップと、入力回路情報と推奨回路情報との比較し、異なる部分の推奨回路情報をノイズ対策として決定するノイズ対策決定ステップとを含むように構成する。

【選択図】 図3

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 2 2 3]

1. 変更年月日	1 9 9 6 年 3 月 2 6 日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号
氏 名	富士通株式会社